(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2005 年9 月15 日 (15.09.2005)

PCT

(10) 国際公開番号
WO 2005/086175 A1

(51) 国際特許分類[7]: G21C 17/00, G01R 31/28, G21C 17/108

(21) 国際出願番号: PCT/JP2005/003728

(22) 国際出願日: 2005 年3 月4 日 (04.03.2005)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2004-061156 2004 年3 月4 日 (04.03.2004) JP

(71) 出願人 (米国を除く全ての指定国について): 株式会社東芝 (KABUSHIKI KAISHA TOSHIBA) [JP/JP]; 〒1058001 東京都港区芝浦一丁目１番１号 Tokyo (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 泉 幹雄 (IZUMI, Mikio). 林 俊文 (HAYASHI, Toshifumi). 垂水 輝次 (TARUMI, Teruji). 小田中 滋 (ODANAKA, Shigeru). 小田 直敬 (ODA, Naotaka). 伊藤 敏明 (ITO, Toshiaki). 佐藤 俊文 (SATO, Toshifumi). 北薗 秀亨 (KITAZONO, Hideyuki). 前川 立行 (MAEKAWA, Tatsuyuki).

(74) 代理人: 波多野 久, 外(HATANO, Hisashi et al.); 〒1050003 東京都港区西新橋一丁目１７番１６号 宮田ビル２階東京国際特許事務所 Tokyo (JP).

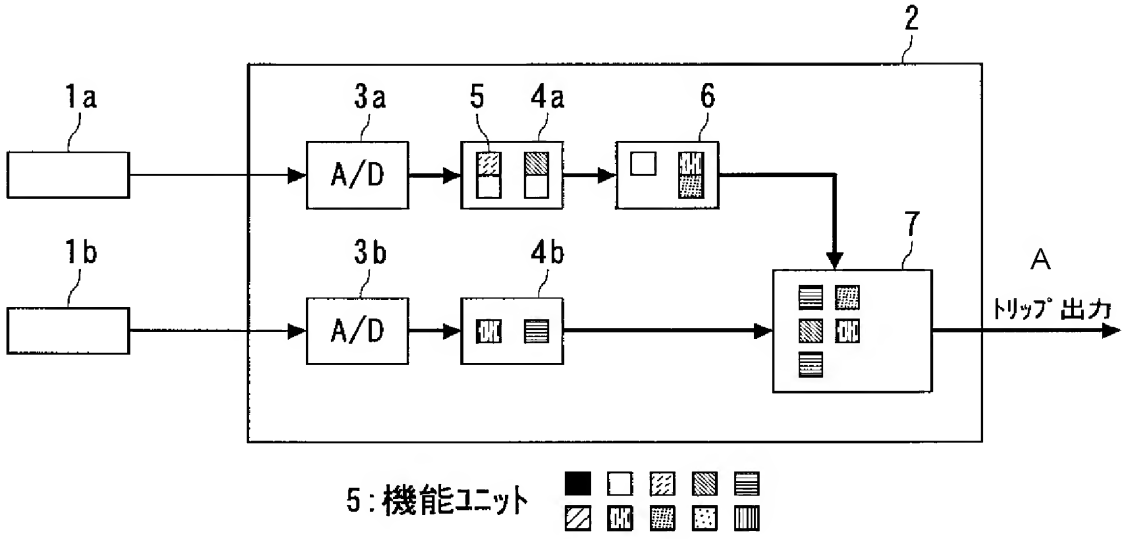
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA,

[続葉有]

(54) Title: SAFETY PROTECTIVE INSTRUMENTATION SYSTEM AND ITS HANDLING METHOD

(54) 発明の名称: 安全保護計装システムおよびその取扱方法



5... FUNCTION UNIT
A... TRIP OUTPUT

(57) Abstract: A safety protective instrumentation system of an atomic power reactor constituted of a digital logic wherein a digital logic portion is composed of function units in which the output logic patterns for all the logic patterns of the input are verified in advance and a function module composed by combining the function units.

[続葉有]

WO 2005/086175 A1

SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

２文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約: ディジタルロジックを用いて構築された原子炉の安全保護計装システムにおいて、入力の全てのロジックパターンに対する出力のロジックパターンがあらかじめ検証された機能ユニットと、前記機能ユニットを組み合わせて構成した機能モジュールとによりディジタルロジック部分が構成されている。

明 細 書

安全保護計装システムおよびその取扱方法

技術分野

[0001] 本発明は、原子力プラントにおける安全保護系などに用いられる信頼性の高いディジタル信号処理装置で構成される安全保護計装システムおよびその取扱方法に関する。

背景技術

[0002] 原子力プラントにおいては、プラントの安全性が損なわれるおそれのある異常が発生した場合や、あるいは、異常の発生が予想される場合に、それを防止あるいは抑制するために安全保護計装システムが設けられている。この安全保護計装システムに関わる放射線計測装置は、何らかの原因によりプラント内の放射線量が上昇した場合に、プラント外への放射性物質の放出を抑制するために、放射線量が上昇している箇所を隔離したり、非常用のガス処理装置を作動させたりするための条件となる情報を各作動回路に提供することを目的に設けられている。

[0003] 近年のプラントには、このような安全保護計装システムに関わる放射線計測装置としてディジタル信号処理が適用されており、ディジタルフィルタや、複数の信号をひとつのCPUでディジタル演算する(例えば、日本国特許第2653522号公報参照)。一方、CPUを用いずに、ハードウエアロジックであるASIC／FPGA(Application Specific Integrated Circuit/Field Programmable Gate Array)を用いたシステムもある(例えば、米国特許第5859884号明細書参照)。このシステムは、CPUの代わりにASICが処理の手順を制御するもので、動作の単純化がなされている。

[0004] 一方、安全保護計装システムは、その重要性から、機器の多重化や独立化によって機器の単一故障による機能喪失を防止する等の要求がされているが、このようなソフトウェアを用いたディジタルシステムでは、冗長系に同一のソフトウェアを用いた場合、このソフトウェアの欠陥により機器の多重化の機能が損なわれる可能性が生じる。また、ディジタル処理は離散処理であるため、不運にして特定の条件が重なってしまった場合に、内部の欠陥によって特異な出力が生じるなどの予期できない動作が

実行される可能性がアナログ素子よりも高いと考えられる。

[0005] よって、ソフトウェアを用いたディジタル処理では、設計および製作を通じて高品質を確保するための品質保証活動とともに、ソフトウェア欠陥による共通要因故障の排除および管理外の変更に対しての適切な防護措置を講じることが要求されている。特に、ソフトウェアの共通要因故障を防止する方法として、検証及び健全性確認活動(Verification & Validation;以下、V&Vと称する)を実施している。V&Vとは、ディジタル型の安全保護系システムに要求される機能がソフトウェアの設計および製作の各過程において、上位の過程から下位の過程へ正しく反映されていることを確認する検証作業と、検証作業を経て製作されたシステムについて、要求機能が正しく実現されていることを確認する健全性確認作業からなる品質保証のための活動である。

[0006] 一方、CPUの代わりにASICまたはFPGAを用いたシステムは、最終的にハードワイヤードなロジックとして構成されるため、CPU処理と異なり、処理が決定的であるため処理時間も確定可能である。よって、これらFPGAを用いたシステムは、ディジタルロジックの半導体素子と見なすことができるので、その試験方法を適用してシステムを検証することが可能である。つまり、半導体素子の全入力および全内部状態に対する出力とを設計仕様から算出した予測値と比較できれば、タイミングに起因する欠陥以外の定常的な入出力特性は完全に検証できる。この検証方法は、exhaustive testingと呼ばれる。

[0007] ただし、実際のASIC素子等においては、全入力ビット数と素子内部の状態の合計パターンが膨大となるため、全入力および全内部状態のパターンに応じた出力パターンをすべて予測値と比較することは困難である。よって、欠陥を効率的に見つけられる入力パターン列を評価することが重要となる。例えば、素子内部のロジックパターンから評価して内部のレジスタが1度は動作する入力パターン群や、または、Stack at faultの故障モードを想定し、この故障を検出可能な入力パターン列を故障シミュレーションして算出している。

[0008] しかしながら、上述の検証方法は、あくまでも一部の入力パターンについて試験するものであるため、内部ロジックの組み合わせによって生じるような欠陥や、故障シミ

ュレーションで想定しなかった故障については検出することができないという問題があった。

[0009] さらに、ロジックをFPGAなどのハードウエアに実装する過程においては、ハードウエアの構成を記述するソフトウェアおよびこれらを実際のFPGA上のロジックに展開する論理合成ツールなどの汎用ソフトウエアツールが必要となる。よって、これら市販ソフトに内在する欠陥を排除するために、設計段階からの高い信頼性を確保する必要がある。

[0010] 上述したexhaustive testingを計装システムの性能検証に用いることができれば、スタティックなロジックエラー(確定的な論理誤り)はないことを示すことが可能であるが、上記検証方法が実施できない場合は、従来のソフトウェアと同等のV&Vなどの検証が必要となると考えられる。

[0011] ただし、FPGAを用いたシステムは、CPU処理と異なって処理が決定的であり、処理時間も一般に確定可能である。また、単一ループで、単一の処理のみを実行可能であり、信頼性の高いシステムを構成するための設計条件を満たしやすいという特徴がある。

[0012] 上述したように、計装システムの検証性の観点からはハードウエアロジックに原子炉安全系システムを実装するメリットは高いが、課題として、全入力パターンに対する出力パターンの検証が必要であるため、exhaustive testing相当の検証レベルで確認する必要がある。

[0013] 従って、入力に対する出力の特性が設計どおりであることを容易に確認することができるシステムおよびそれを用いた検証方法が求められていた。

[0014] また、前記したスタティックな論理誤り以外にも内部の動作タイミングに起因するエラーがある。例えば、温度などの環境条件により内部ロジック間の伝送の遅延時間が変動した場合、雰囲気条件により誤動作する可能性がある。また、外部などの非同期部分とのデータ交換時には、受け取りタイミングにより値が確定しない場合もある。

[0015] これらタイミングに起因するエラーを防止するには、設計段階でタイミングシミュレーションなどにより余裕をもった設計を行うとともに、外部とのインターフェイス部には、値が不定になりにくい同期化設計を採用するなどの一般的な設計手法を適用する必

要がある。

[0016] つまり、FPGAを用いた安全系システムにおいても、これらのタイミングに起因する欠陥を防止しやすい構造および試験方法を採用することが重要であり、こうした構造のシステムおよび試験方法の開発が求められていた。

[0017] 発明の開示

本発明は、上述したような事情を考慮してなされたものであり、FPGAなどのハードウエアロジックを用いた原子炉の安全保護計装システムにおける、スタティックな論理誤りや信号処理のタイミングに起因するエラーを防止することが可能な安全保護計装システムおよびその取扱方法を提供することを目的とする。

[0018] 本発明の安全保護計装システムは、上述した課題を解決するため、ディジタルロジックを用いて構築された原子炉の安全保護計装システムにおいて、入力の全てのロジックパターンに対する出力のロジックパターンがあらかじめ検証された機能ユニットと、前記機能ユニットを組み合わせて構成した機能モジュールとによりディジタルロジック部分が構成されたことを特徴とするものである。

[0019] 上記の特徴を有する安全保護計装システム下記の態様を取りうる。

[0020] 前記機能ユニットは、入力の全てのロジックパターンに対する出力のロジックパターンを個別にハードウエア上に実装して、設計仕様から求めた予測値と出力値とが一致することを確認した機能ユニットであってもよい。

[0021] 前記機能モジュールは、あらかじめ性能が検証された機能ユニットと同一のゲート構成を有する機能ユニットのみで構成してもよい。

[0022] 前記機能ユニットを組み合わせて構成した前記機能モジュールが、前記機能ユニットの出力を媒介するレジスタと、前記機能ユニットの信号処理のタイミングを合わせる遅延要素とを備えてもよい。

[0023] 前記機能ユニットを組み合わせて構成した前記機能モジュールが、前記機能ユニットの出力を媒介するレジスタを備え、前記機能ユニットのうち前記レジスタを駆動するクロックが異なる機能ユニット間の信号を受け渡しするハンドシェイクを備えたてもよい。

[0024] ハードウエアが実行する有効なプログラム文および動作経路を実行する入力パタ

ーン群を作成したソフトウェアを備え、前記入力パターンの割合または前記入力パターンの数が十分か評価するブランチカバレッジまたはトグルカバレッジを有し、入力に対する出力が設計仕様から求めた予測値と一致することを検証して機能ユニット間の接続を確認することができる。

[0025] 前記機能モジュールの設計仕様に応じた入力パターンを作成し、前記機能モジュールの入力に対する出力が設計仕様から予測した予測値と一致することを確認するように構成する事も可能である。

[0026] 前記機能モジュールの設計仕様に応じたアナログ信号パターンをディジタル変換して入力パターンとするAD素子と、前記機能モジュールの入力に対する出力をアナログ変換してアナログ値とするDA素子とを備え、前記アナログ値が設計仕様から予測した予測値と一致することを確認することもできる。

[0027] 前記機能ユニットにより2変数の乗算または比較を行い、2変数の一方を変数のビット数より少ないビット数のアドレスで指定可能な定数に置き換えることも可能である。

[0028] 前記機能ユニットが動作の正常修了を表す動作フラッグを受け渡す機能を備え、前記機能モジュールが前記動作フラッグを監視する機能を有し、前記機能モジュールからの出力が入力されて前記動作フラッグの有無を判定するトリップ判定器と、前記動作フラッグのない場合に動作不良信号を出力する異常診断回路を備えてもよい。

[0029] 前記機能ユニットが、出力の最大値および最小値を簡略式により算出する機能と、前記出力の最大値および最小値を受け渡す機能とを備え、前記出力の最大値および最小値の演算結果と信号値とを比較して信号値が妥当な値であることを判定するトリップ判定器と、動作不良信号を出力する異常診断回路を備えてもよい。

[0030] ディジタル出力をアナログ値に変換した後に光に変換する第1の安全保護計装システムと、この光をアナログ値に変換した後ディジタル値に変換する第2の安全保護計装システムとを備え、前記第1の安全保護計装システムと前記第2の安全保護計装システムとを信号接続させることも出来る。

[0031] 更に本発明によれば、上述の目的は、ディジタルロジックを用いて構築された原子炉の安全保護計装システムの取扱方法において、安全保護計装システムを構成す

る機能ユニットへの全ての入力のロジックパターンに対する出力のロジックパターンを予め検証することを特徴とする安全保護計装システムの取扱方法を提供する事に拠り達成される。

[0032] 上記の方法において、複数の機能ユニットを備えた安全保護計装システムの各機能ユニットのデータ処理を、接続順にシリアルに動作する構成とし、そのシリアルに信号が伝送されていることを出力タイミングをモニタリングして確認し、その出力タイミングが設計どおりであることを検証することにより、安全保護計装システムの性能を検証する様にしてもよい。

[0033] また、機能ユニットを備えた安全保護計装システムの前記機能ユニットが、前記機能ユニットの性能を検証した際の内部構造と同一の構造であることを確認する検証工程を備えてもよい。

[0034] 上記の特徴を有する本発明の安全保護計装システムおよびその取扱方法によれば、ハードウエアロジックを用いた原子炉安全系システムにおける、論理誤りや信号処理のタイミングに起因するエラーを防止することにより、安全性を向上することが可能となる。

発明を実施するための最良の形態

[0035] 本発明に係る原子炉安全保護計装システムの実施の形態について図1ー図9を用いて以下に説明する。

[0036] (実施例1)

図1に、本発明に係る安全保護計装システムの実施例1の構成図を示す。

[0037] 図1において、原子炉内に設置されているセンサ1a、センサ1bの出力は、安全保護計装システム2に入力され、この安全保護計装システム2により異常の有無を判定してトリップ信号を出力する。安全保護計装システム2の内部には、センサ1a，センサ1bの信号をアナログで波形整形・増幅した後にディジタル値に変換するAD素子3a，AD素子3bが設けられている。AD素子3a，AD素子3bが出力するディジタル値は、フィルタ回路4a，フィルタ回路4bで信号変換される。このフィルタ回路4a，フィルタ回路4bは、複数の機能ユニット5を組み合わせて構成されている。図1において、フィルタ回路4a，フィルタ回路4b、信号処理回路6、トリップ判定器7が機能モジュール

である。

[0038] 以下に機能ユニット5の構成および作用について説明する。

[0039] 機能ユニット5は、例えば、Dフリップ・フロップ、ラッチ、8ビットデコーダ、8ビットカウンタ、8ビットシリアルパラレル変換、8ビット・8ビット入力一加算器、8ビット・8ビット入力一乗算器、8ビット・8ビット一比較器等から選択されるユニットであり、機能ユニット5に対する全入力パターンに対する出力パターンが、設計仕様から期待される予測値のパターンとすべて一致していることを確認することが可能なロジックである。

[0040] 本実施例においては、入力ビット数は8ビットとしているが、入力のビット数は、実際にはテストできるビット数に制限する。この全入力パターンについて検証された機能ユニット5を用いて、内部の各機能(機能モジュール)および全体の原子炉安全保護計装システムを構築することにより、全体の入力に対して検証可能な、信頼性の高い安全保護計装システムを構築することができる。

[0041] 図2に、機能ユニット5aを試験する構成図を示す。なお、以下の記述において、機能ユニット5に付したアルファベットは、構成が異なる機能ユニット同士を区別するものである。アルファベットを付さず、単に機能ユニット5と記述したものは、共通の構成についての記述を示す。

[0042] 図2に示すように、機能ユニット5aを実ハードウエアに実装して信号発生器8からの信号を入力する。一方、機能ユニット5aの出力は、信号受信器9で測定され、判定装置10において入力パターンに対する予測値と受信した信号とを比較して、機能ユニット5aの異常の有無を検出する。機能ユニット5aへの全入力パターンに対して異常が検出されなければ、機能ユニット5aとして認証する。

[0043] 上記のように、実ハードウエアであるFPGAに実装して試験することにより、論理合成ツールやFPGAへの書き込みツール等の市販ソフトのエラーを同時に検証することが可能となる。

[0044] 機能ユニット5の内部は、AND回路、OR回路などのFPGA素子ハード固有の基本要素で構成されている。しかし、これらの機能ユニット5を組み合わせて機能モジュールを実現する場合には、論理合成ツールが論理すなわち基本要素の組み合わせの最適化を実施するため、単体で検証したロジック構成と異なる構成でハードウエア

に実装される。そのため、組み合わせた場合に論理の最適化を行わないように論理合成ツールまたはFPGAに実装する配置配線ツールのオプションを選定し、検証に用いたロジック構成と同一のロジックが機能モジュール内部に実装されていることを確認した後に、各機能モジュールを構築していく。

[0045] また、全体の安全保護計装システムが完成した後にも、内部の機能ユニット5が、試験で用いたロジック構成と同一であることを目視等により行うことにより、安全保護計装システム全体が検証された機能ユニット5で構成されていることを確認する。

[0046] 図3に、機能ユニット5をフィルタ回路4aに実装した構成図を示す。これは、図2の構成により試験された機能ユニット5aを実装した機能モジュールである。

[0047] 機能ユニット5aは、フリップフロップで信号を出力する構成を採用することにより、内部のロジック構成を維持した状態で機能モジュールに実装することが可能となる。例えば、24ビットの加算器は、検証された12ビットの加算器を2つ組み合わせて構成することが可能であるが、本発明の安全保護計装システムは、12ビット加算器のロジック構成を維持するために、12ビット加算器の出力ごとにフリップフロップを設ける。フリップフロップとは、安定状態を保つように構成された2つの回路を示す。このように構成された12ビットの加算器の出力は、フリップフロップが1クロックで動作すると考えた場合、2クロック分、出力が遅延する。

[0048] 本発明の安全保護計装システムは、1クロックで出力が得られる多ビット入力の演算回路を、機能の検証が可能な小ビット入力の機能ユニット5a，機能ユニット5b，機能ユニット5cに分割し、複数のクロックで演算結果を得る構成とする。このような構成とすることにより、全入力に対する機能の検証が容易になるとともに、各ロジックのタイミングによるエラーも防止できる。

[0049] すなわち、タイミングエラーはフリップフロップ間のロジックの組み合わせで生じる遅延時間が、フリップフロップを駆動するクロックに比べて長くなった場合に発生するが、本実施例の安全保護計装システムのように、組み合わせ回路部分を分割することにより遅延時間を短くでき、また個別にタイミングを検証することが可能となる。図3に示す構成は、機能ユニットの組み合わせ数に応じて出力が得られるまでのクロック数が異なるため、2つの信号の比較や加算などを実行する場合には、遅延素子11を設

けてタイミングを調整する。

[0050] 図4に、機能ユニット間のクロックおよびデータの受け渡しの構成図を示す。

[0051] 機能ユニット5間のデータ転送時のタイミングエラーを低減するには、機能ユニット5内のフリップフロップを同一のクロック周期で、しかも、クロックの立ち上がりなどの同一タイミングで駆動するような構成とする。

[0052] 一方、異なるクロック周期を用いる場合は、図4に示すように、データ送受信の可・不可を判断するハンドシェイクを機能ユニット5bと信号処理回路6の間に用い、データ受け渡しを確保することにより、機能ユニットの接続に起因するタイミングエラーを除去することが可能である。

[0053] 以上説明のように、本実施例の安全保護計装システムによれば、全入出力パターンが検証された機能ユニットを、その内部ロジック構成を維持した状態で各機能モジュールに組み込むことにより、定常的なロジックの欠陥を削除できる。また、機能ユニット内のフリップフロップにより、もうひとつの発生しやすいエラーであるタイミングエラーについてもタイミング余裕のある設計が可能となり、機能モジュール内でのタイミング検証も容易となる。さらに、機能ユニット間の伝送にハンドシェイクを用いることにより、これらの接続に起因するタイミングエラーも除去することが可能となる。

[0054] (実施例2)

実施例1の安全保護計装システムは、機能ユニット内のロジックが正常に動作するので、タイミングに起因するエラーもロジックの正常な接続により削除可能である。しかし、機能ユニットが間違って接続されたり、設計仕様に記載されない機能ユニットがソフトウェア上に内在する可能性もある。こうしたケースを解決する手法として本発明の安全保護計装システムの実施例2を示す。

[0055] 図5に、実施例2の安全保護計装システムに係るコンパレータを記述したソフトウェア(VHDL文)の一例を示す。

[0056] 機能ユニット5aはVHDL言語の記述では、ポート文によって呼び出される。機能ユニット5a内の数値のパターンは、事前に検証されているため、VHDL文法上で機能ユニット5aを正しく呼び出し可能なことが確認できれば、機能ユニットは正しく接続されていると判断できる。

[0057] つまり、実施例2の構成において、図5のVHDL文内の定義文と異常時を想定して作成された冗長処理分を除いた、実際の実行に寄与するVHDL文の動作を検証できれば、機能ユニットの接続が正しいと確認できる。

[0058] このVHDL文の実行の有無を評価するパラメータとして、一般にカバレッジ率というパラメータを使用する。全VHDL文に対するソフトウェアで実行したVHDL文の割合を示したものをステートメントカバレッジと呼ぶ。また、IF文等の分岐がある場合は、成立または不成立の両方をカウントして全体経路のパターンに対する実行経路数を示したものをブランチカバレッジと呼ぶ。また、機能ユニット5内部の信号が(High→Low→High)と変化した信号の割合で示すものとしてトグルカバレッジがある。

[0059] 実施例2の安全保護計装システムは、ブランチカバレッジまたはトグルカバレッジを評価指標として、すべての分岐条件を動作させる入力パターン群を作成し、その入力パターンに対する出力と設計仕様から求めた予測値とが一致することを確認することにより機能ユニットの接続が正しく行われていることを検証する。特に、トグルカバレッジは、論理合成後のネットリスト上でもカバー率が評価可能であり、論理合成の影響を受けにくいという特徴がある。

[0060] また、機能ユニット5が正常に接続されていることは、機能モジュールが設計仕様どおりの機能を有していることを確認する機能試験を実施することによっても確認できる。つまり、仕様に記載された性能を確認するための入力パターン群を作成し、その入力群に対する出力を予測値と比較し、差異のないことを確認することにより機能ユニットの接続を検証可能である。

[0061] この機能モジュールの機能を確認する機能試験においては、ディジタル値を入力し、出力のディジタル値と予測値とを比較して差異の有無を検出する。しかし、ディジタル値で比較する場合、1パターンの試験に必要な時間が数μー数msec必要となり、多数の信号パターンを迅速に評価することが難しい。

[0062] そこで、図6に示すように、アナログ信号発生器12の信号を、AD素子13を介して機能モジュールaに入力する。この出力はDA素子14を介してアナログ信号に変換され、アナログ信号受信器15で計測されて設計仕様から算出した予測値と比較することによって、出力と予測値との差異の有無を高速に比較評価することが可能となる。

本実施例のようにAD素子13，DA素子14を用いた方法によれば、ディジタル値で比較する場合に比べ、微小な差異については検出できないが、測定に影響する測定精度以上の大幅な変動を検出することにより機能を検証するには十分である。また、多数のパターンを高速で処理できるため、ディジタル特有の不連続点や特異点の検出に有効である。

[0063] 次に、機能試験のテストパターンの選定方法を図7、図8を用いて説明する。図7は、フィルタ機能モジュールを検証する場合の入力信号の大きさの選定方法の一例である。図7に示すグラフの縦軸が数値のビット幅を模式的に示したもので、横軸がロジックの処理数を示したものである。

[0064] フィルタ回路である機能モジュール内部の、あるビット数のある処理手順でエラーが発生した場合、フィルタ回路は線形であり、値の制限を行っていなければ、図7のように後段の処理へエラーが伝播する。また、出力をDA変換してアナログ値で評価する場合は、出力の下位ビット数の変動は、DA素子および回路ノイズの影響で測定できない。

[0065] そこで、入力のレベルを例えば、T1ーT4に分割し、ぞれぞれの入力に対応する出力レンジで測定することにより、ディジタル値のフルビット幅のエラーを検出することが可能となる。つまり、出力におけるエラー識別精度に応じて、入力の信号の大きさ（入力のレベル）を調整することでフィルタ内部に内在するエラーを検出できる。

[0066] 図8に、機能として周波数特性を試験する場合の、周波数測定点の選定方法の説明図を示す。

[0067] ディジタルフィルタは、オーバーフローが生じない条件を設計で満たせば、線形時不変システムであるので、代表周波数で評価することが可能である。また、サンプリング周波数の1／2で折り返す特性を有するため、サンプリング周波数の1／2以下の範囲で検証することを基本とし、それ以上ではサンプリング周波数の1／2の倍数で谷が現れることのみ確認する。

[0068] 図8の波形の例は、40MHzサンプリングのローパスフィルタに、1MHzサンプリングのハイパスフィルタを重ねた合計の周波数特性を示す。図8の実線は、1MHzのハイパスフィルタの周波数特性を示し、破線が合計の周波数特性を示す。

[0069] 実線で示すハイパスフィルタの周波数特性は、1MHzのサンプリングのため、500kHzで周波数特性が折り返す形状となっており、この500kHz以下の領域Aの周波数範囲の特性を検証すれば、本ハイパスフィルタの特性は検証できる。

[0070] 一方、破線で示す40MHzサンプリングのローパスフィルタは、領域Bのうち20MHz以下の帯域でその減衰特性を検証する必要がある。ただし、ハイパスフィルタの影響により、20MHz以下の周波数帯域では山、谷の特性を繰り返すため、この山相当の周波数を選定に、この包絡線を評価することで、ローパスフィルタの減衰特性を検証する。つまりディジタルフィルタの周波数特性を検証する場合、サンプリング周波数の1／2で周波数帯域を分類し、設計仕様に応じて測定点を選定する。

[0071] 上述したように、本実施例の安全保護計装システムによれば、ブランチカバレッジを100%とする全入力パターンを作成し、各入力パターンに対する出力パターンを順次確認していくことにより、各機能モジュール内の機能ユニットがすべて正常に接続されていることが確認可能となる。また、各機能モジュールの機能を確認する機能試験によっても、機能ユニットが正常に接続されていることを確認できる。機能試験においては、AD素子、DA素子を用いてアナログ信号によって比較することで、多数のパターンを連続的に試験可能であり、原子炉安全計装システムの性能の検証が容易となる。

[0072] （実施例3）

図9に、乗算器16によって全入力に対する出力パターンを検証する場合のテスト範囲を示す。

[0073] 乗算器16のみを機能ユニットとしたテスト範囲A´の場合、乗算器の2つの入力は16ビットであるため、全入力パターンは、$2^{(16+16)}$となり、このパターンを数日で検証することは困難である。しかし、フィルタ処理を想定した場合、信号変数に対して一定の定数を乗算するパターンがほとんどである。

[0074] そこで図9に示すように、本実施例の安全保護計装システムは、ルックアップテーブル（LUT）17で定数を選択して乗算器16に定数を入力する構成とする。

[0075] このように構成した安全保護計装システムは、機能ユニットをテスト範囲B´とした場合、データを選択するアドレスは4ビットであるため、テスト範囲Bの入力ビット数は、4

＋16＝20ビットとなり、この場合のテストパターン数は$2^{(4+16)}$となるので、全入力パターンに対する出力を試験評価することが容易となる。

[0076] 上述したように、本実施例の安全保護計装システムによれば、機能ユニット内部にルックアップテーブルを設けることにより全入力パターン数を削減できる。

[0077] （実施例4）

図10に、検証された機能ユニットから構成された原子炉安全保護計装システムにおける自己診断機能の説明図を示す。

[0078] 機能ユニット5から構成された機能モジュールは、機能ユニット5を多数内蔵しているために、数クロック遅れて出力が得られる。そこで、出力時に、出力のデータとともに正常終了時には動作フラッグを、出力先の機能モジュールに伝送する。この動作フラッグは、複数の機能モジュール間をリレー式で伝達し、トリップ判定器7における動作フラッグの有無を異常診断回路18で判断し、一定時間以上動作フラッグが存在しない場合など、正常時の特性と大幅に異なるケースは、動作不良出力を出力する。

[0079] 更には、出力有無の動作フラッグの他に、図11に示すように、各機能モジュールの入力パターンに対する出力パターンの範囲を近似式で算出し、実際の出力値がその範囲を逸脱した場合に、動作不良出力を出力する。

[0080] 本実施例によれば、機能ユニットまたは機能モジュール単位でフラッグまたは数値範囲を設定し、自己診断機能を設けたので、プラントに設置された後に生じる欠陥を防止することが可能となる。

[0081] （実施例5）

図12に、ロジックパターンが検証された機能ユニットから構成された原子炉安全保護計装システムにおける、信号分離方法の説明図を示す。

[0082] この実施例5は、第1の安全保護計装システム2bと第2の安全保護計装システム2cの信号伝送の独立性を確保するために光伝送を用いる。つまり、信号伝送側である第1の安全保護計装システム2bにおいては、伝送データをDA素子14でアナログ信号に変換し、そのアナログ信号をEO変換器（電気・光信号変換器）19によって電気・光学変換し、光の強度または変調データにより伝送する。一方、信号の受信側となる

第2の安全保護計装システム2cは、光強度データまたは変調データをOE変換器（光・電気信号変換器）20で光・電気変換を行った後に、AD素子13でAD変換してディジタル値へ変換する。

[0083] また図13に示す構成は、第1の安全保護計装システム2bにおいてFPGAで処理するディジタルデータをDA変換素子14で一度アナログ信号に変換した後に、再度AD素子13でディジタルデータに変換し、そのディジタルデータをEO変換器19で光のディジタルデータで伝送する。第2の安全保護計装システム2cにおいては、第1の安全保護計装システム2bのディジタル光データをOE変換器20でディジタルデータに変換してディジタル処理に用いる。

[0084] 同一のディジタル値を複数の独立なシステムに分配する場合、あるデータパターンで誤動作するソフトウェアが各システムに内在すると、同一データが入力されることにより、同時に故障するケースが考えられる。そこで、本実施例の安全保護計装システムは、データをアナログ値に変換することにより、ノイズ成分が伝送信号に加えられることで、同一のディジタルデータが同時に異なるシステムに伝送されることを防止できる。

[0085] 本実施例の安全保護計装システムによれば、機能ユニットを用いた原子炉安全保護計装システムの独立性を確保するとともに、ディジタル信号処理を用いた安全系システムの課題である共通モード故障の発生割合を低減することが可能となる。

[0086] （実施例6）

図14に、本発明の実施例6の安全保護計装システムの基本構成図を示す。

[0087] 図14に示す安全保護計装システムは、機能ユニット5a、機能ユニット5b、機能ユニット5cが相互に接続され、これらの機能ユニットが一つにFPGAに格納されている。

[0088] これらの機能ユニット間の信号伝送は、フリップフロップによってクロックに同期して出力されるが、その出力タイミングは、機能ユニットによって異なる構成とすることが可能である。本実施例においては、図14において、機能ユニット5aの出力が、機能ユニット5bに入力された後に、機能ユニット5bの信号処理を行うように、機能ユニットがデータというバトンを順次に渡して処理を行う構成とする。

[0089] このような構成に機能ユニットを接続することにより、バトン（データ）の渡るタイミング

を監視することで、処理動作自体の検証が可能となる。つまり、図14に示す外部ピンA21，外部ピンB22，外部ピンC23，外部ピンD24を設け、これらの機能ユニットの信号をモニタリングすることにより、設計どおりのタイミングで動作することを検証することができる。また、動作中も、各タイミングの変動を監視することで、動作の不具合を検出することが可能となる。

[0090] 図15に、実際にFPGAの外部ピンから内部の機能ユニットの出力タイミングをモニタした一例を示す。図15の下部側が入力信号で、上部側に順に外部ピンA21，外部ピンB22，外部ピンC23，外部ピンD24，外部ピンE25の出力信号が示されている。

[0091] 下部側に信号（データ）が入力されると、下部側に近いロジックから順番に信号を転送し、最終的に上部側の出力段が出力される。この信号伝送のタイミングは、図15に示す複数のロジック信号により確認できる。このロジック信号のタイミングは、設計固有のものであり、このロジック信号のタイミングを監視することで、設計どおりのロジックが実装されているかどうか検証可能である。また、通常動作中もこれらロジック信号のタイミングをモニタリングする機能を別途、設けておくことにより、動作中の異常な加熱等による内部信号ラインの遅延時間の増大によるロジック演算の誤動作を監視することが可能となる。

[0092] 以上、本実施例の安全保護計装システムによれば、各機能ユニットがシリアルに動作し、その信号を順次伝送する構成とし、その信号伝送タイミングをモニタリングすることにより、設計どおりの論理がFPGAに実装されていることが検証できる。また、異常診断方法として、これら信号伝送の順番、タイミングをモニタすることにより、信頼性の高い安全保護計装システムが構築可能である。

[0093] （実施例7）

図16に、実施例7の安全保護計装システムの構成図を示す。

[0094] 例えば、図16に示すような安全保護計装システムは、同一の機能ユニット5が4つシリアルに接続され、それらの出力がフリップフロップで同期して出力される構成となっている。このような構成とした安全保護計装システムにおいて、各機能ユニット5が、接続前の単体の機能ユニット5と同じロジック構成であることを検証することにより、単

体の機能ユニット5で検証した場合と同じ機能が安全保護計装システムに実装されていることが保証される。

[0095] すなわち、図16に示す安全保護計装システムの各機能ユニット5の内部は、単体での試験時に性能の健全性が確認されている。これら各機能ユニット5を図16のように接続し、論理合成後も性能が維持されていることを、論理合成後に目視等で確認する検証方法を採用することにより、安全保護計装システムにおける機能ユニット5の健全性が保証される。

産業上の利用可能性

[0096] 本発明の安全保護計装システムおよびその取扱方法によれば、ハードウエアロジックを用いた原子炉安全系システムにおける、論理誤りや信号処理のタイミングに起因するエラーを防止することにより、安全性を向上することが可能となり、原子炉を運転する上での利用の可能性大なる発明である。

図面の簡単な説明

[0097] [図1]入出力特性が検証された機能ユニットから構成された本発明の安全保護計装システムの構成図。

[図2]機能ユニットの入出力特性を検証する試験方法の構成図。

[図3]機能モジュールの内部構成を説明する構成図。

[図4]機能モジュールのクロックの同期化と、非同期部分のハンドシェイクの信号伝送を説明する構成図。

[図5]ブランチカバレッジを指標とする構造テストを説明する構成図。

[図6]AD素子およびDA素子により信号を検証する構成図。

[図7]入力信号のレベルを調整してエラーを検証する構成図。

[図8]信号の周波数特性を検証する構成図。

[図9]機能ユニットの試験パターンのルックアップテーブルによる削減手法を説明する構成図。

[図10]本発明の安全保護計装システムによるシステムの第一の自己診断方法を説明する構成図。

[図11]本発明の安全保護計装システムによるシステムの第二の自己診断方法を説明

する構成図。

[図12]本発明の安全保護計装システムによる信号分離手法の説明図。

[図13]第1の安全保護計装システムと第2の安全保護計装システムを信号接続して構成した安全保護計装システムの構成図。

[図14]本発明の安全保護計装システムにおける機能ユニットのシリアル動作とそのタイミング監視による検証・診断方法を説明する構成図。

[図15]本発明の安全保護計装システムにおける出力タイミングの監視例を示す模式図。

[図16]本発明の安全保護計装システムにおける機能ユニットの接続例を示す構成図。

請求の範囲

[1] ディジタルロジックを用いて構築された原子炉の安全保護計装システムにおいて、入力の全てのロジックパターンに対する出力のロジックパターンがあらかじめ検証された機能ユニットと、前記機能ユニットを組み合わせて構成した機能モジュールとによりディジタルロジック部分が構成されたことを特徴とする安全保護計装システム。

[2] 前記機能ユニットは、入力の全てのロジックパターンに対する出力のロジックパターンを個別にハードウエア上に実装して、設計仕様から求めた予測値と出力値とが一致することを確認した機能ユニットであることを特徴とする請求の範囲1に記載の安全保護計装システム。

[3] 前記機能モジュールは、あらかじめ性能が検証された機能ユニットと同一のゲート構成を有する機能ユニットのみで構成されたことを特徴とする請求の範囲1に記載の安全保護計装システム。

[4] 前記機能ユニットを組み合わせて構成した前記機能モジュールが、前記機能ユニットの出力を媒介するレジスタと、前記機能ユニットの信号処理のタイミングを合わせる遅延要素とを備えたことを特徴とする請求の範囲1に記載の安全保護計装システム。

[5] 前記機能ユニットを組み合わせて構成した前記機能モジュールが、前記機能ユニットの出力を媒介するレジスタを備え、前記機能ユニットのうち前記レジスタを駆動するクロックが異なる機能ユニット間の信号を受け渡しするハンドシェイクを備えたことを特徴とする請求の範囲1に記載の安全保護計装システム。

[6] ハードウエアが実行する有効なプログラム文および動作経路を実行する入力パターン群を作成したソフトウェアを備え、前記入力パターンの割合または前記入力パターンの数が十分か評価するブランチカバレッジまたはトグルカバレッジを有し、入力に対する出力が設計仕様から求めた予測値と一致することを検証して機能ユニット間の接続を確認することを特徴とする請求の範囲1に記載の安全保護計装システム。

[7] 前記機能モジュールの設計仕様に応じた入力パターンを作成し、前記機能モジュールの入力に対する出力が設計仕様から予測した予測値と一致することを確認するように構成したことを特徴とする請求の範囲1に記載の安全保護計装システム。

[8] 前記機能モジュールの設計仕様に応じたアナログ信号パターンをディジタル変換し

て入力パターンとするAD素子と、前記機能モジュールの入力に対する出力をアナログ変換してアナログ値とするDA素子とを備え、前記アナログ値が設計仕様から予測した予測値と一致することを確認することを特徴とする請求項1に記載の安全保護計装システム。

[9] 前記機能ユニットにより2変数の乗算または比較を行い、2変数の一方を変数のビット数より少ないビット数のアドレスで指定可能な定数に置き換えることを特徴とする請求の範囲1に記載の安全保護計装システム。

[10] 前記機能ユニットが動作の正常修了を表す動作フラッグを受け渡す機能を備え、前記機能モジュールが前記動作フラッグを監視する機能を有し、前記機能モジュールからの出力が入力されて前記動作フラッグの有無を判定するトリップ判定器と、前記動作フラッグのない場合に動作不良信号を出力する異常診断回路を備えたことを特徴とする請求の範囲1に記載の安全保護計装システム。

[11] 前記機能ユニットが、出力の最大値および最小値を簡略式により算出する機能と、前記出力の最大値および最小値を受け渡す機能とを備え、前記出力の最大値および最小値の演算結果と信号値とを比較して信号値が妥当な値であることを判定するトリップ判定器と、動作不良信号を出力する異常診断回路を備えたことを特徴とする請求の範囲1に記載の安全保護計装システム。

[12] ディジタル出力をアナログ値に変換した後に光に変換する第1の安全保護計装システムと、この光をアナログ値に変換した後ディジタル値に変換する第2の安全保護計装システムとを備え、前記第1の安全保護計装システムと前記第2の安全保護計装システムとを信号接続したことを特徴とする請求の範囲1に記載の安全保護計装システム。

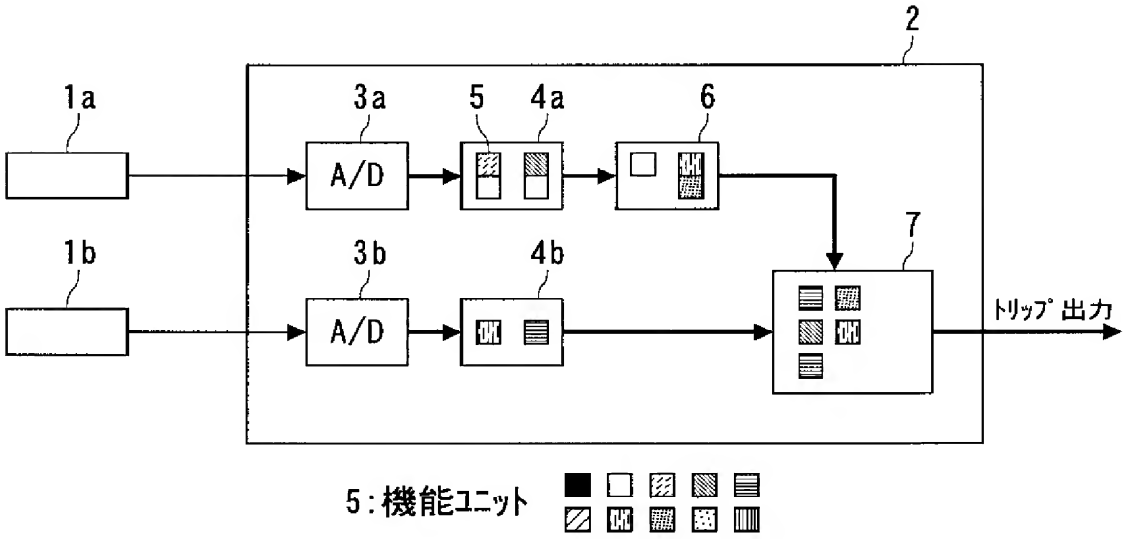
[13] ディジタルロジックを用いて構築された原子炉の安全保護計装システムの取扱方法において、安全保護計装システムを構成する機能ユニットへの全ての入力のロジックパターンに対する出力のロジックパターンを予め検証することを特徴とする安全保護計装システムの取扱方法。

[14] 複数の機能ユニットを備えた安全保護計装システムの各機能ユニットのデータ処理を、接続順にシリアルに動作する構成とし、そのシリアルに信号が伝送されていること

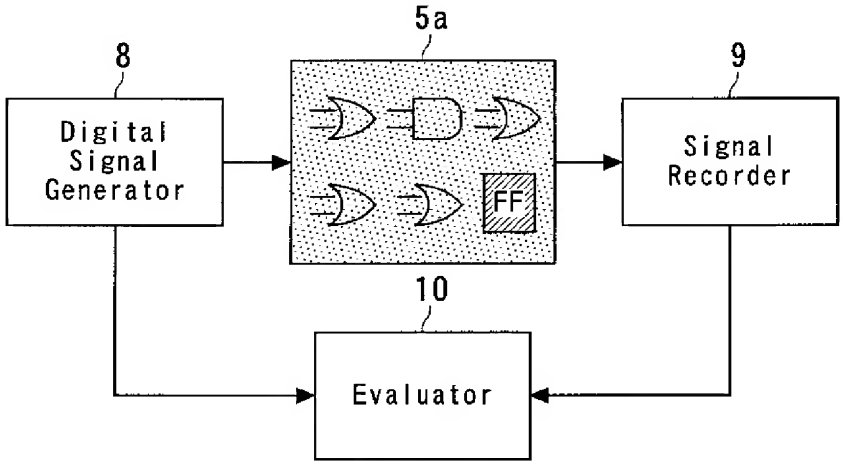
を出力タイミングをモニタリングして確認し、その出力タイミングが設計どおりであることを検証することにより、安全保護計装システムの性能を検証することを特徴とする請求の範囲13に記載の安全保護計装システムの取扱方法。

[15] 機能ユニットを備えた安全保護計装システムの前記機能ユニットが、前記機能ユニットの性能を検証した際の内部構造と同一の構造であることを確認する検証工程を備えたことを特徴とする請求の範囲13に記載の安全保護計装システムの取扱方法。

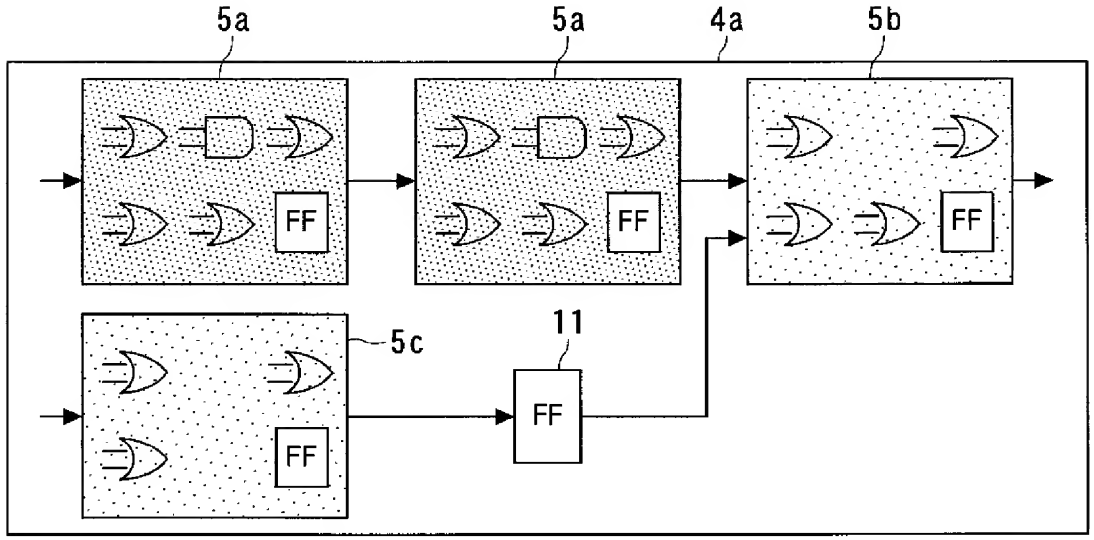
[図1]


2
1a
3a
5
4a
6
A/D
1b
3b
4b
7
A/D
トリップ出力
5:機能ユニット

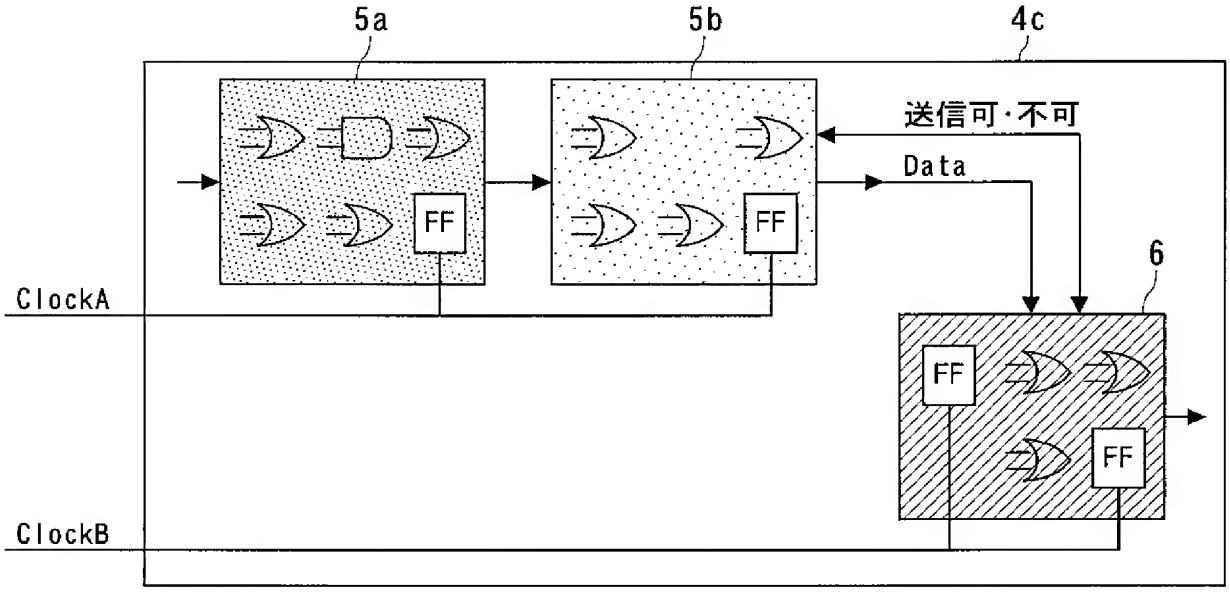
[図2]


5a
8
9
Digital Signal Generator
FF
Signal Recorder
10
Evaluator

[図3]


5a
5a
4a
5b
FF
FF
FF
5c
11
FF
FF

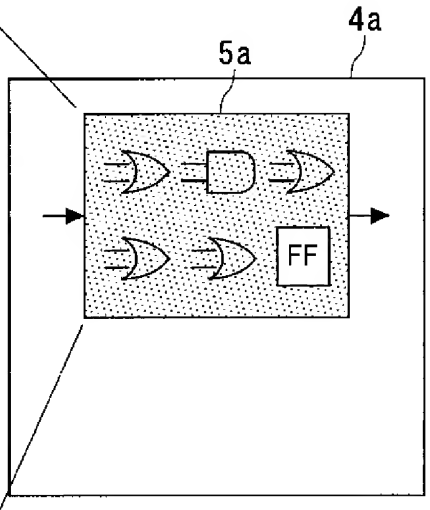
[図4]



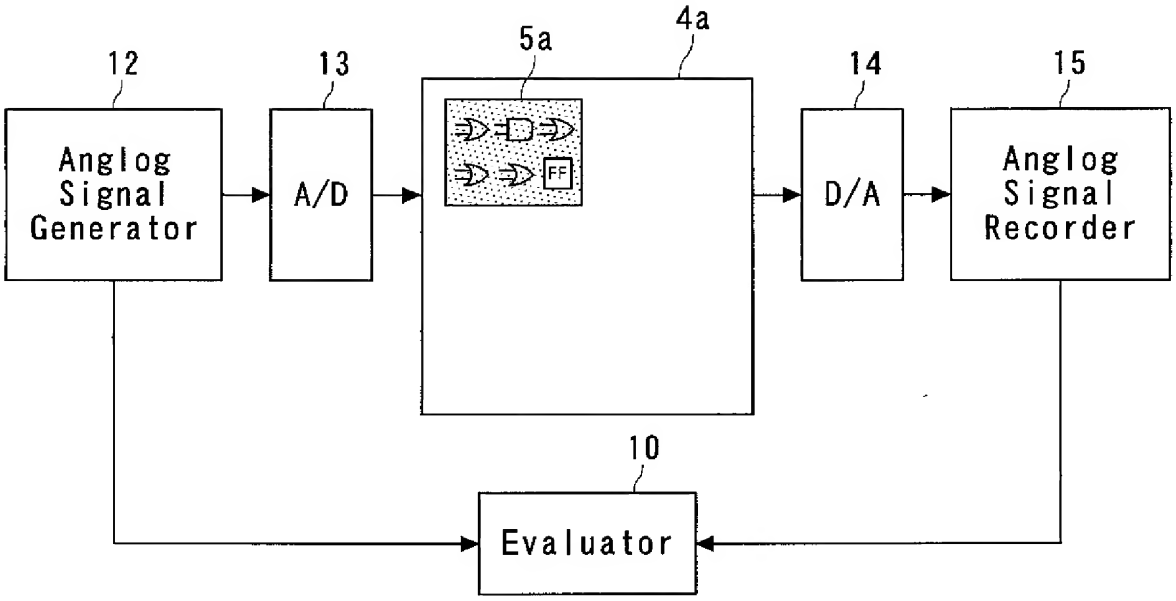
[図5]

VHDL 文

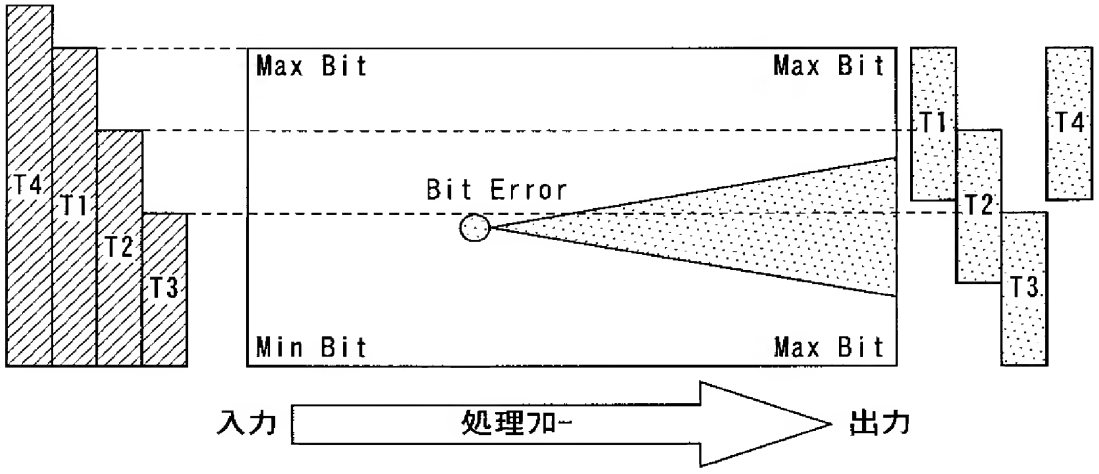
```
—Comparator ver0.1

library IEEE;use IEEE.std_logic_1164.all;

entity COMPARATOR is
generic(WIDTH : integer:=4);
port(CLK : in std_logic;
   aclr : in std_logic;
   INP : in std_logic_vector(WIDTH-1 downto 0);
   REF : in std_logic_vector(WIDTH-1 downto 0);
   GT : out std_logic;
   EQ : out std_logic;
   LT : out std_logic);
end COMPARATOR;

architecture RTL of COMPARATOR is
Begin process(CLK,aclr) begin

if(aclr = '0')then
   GT <='0';
   EQ <='0';
   LT <='0';
elsif(CLK'event and CLK='1')then
   if INP>REF then
      GT<='1';EQ<='0';LT<='0';
   elsif INP < REF then
      GT<='0';EQ<='0';LT<='1';
   elsif INP = REF then
      GT<='0';EQ<='1';LT<='0';
   else
      GT<='X';EQ<='X';LT<='X';
   end if;
  end if;
end process;
end RTL;
```



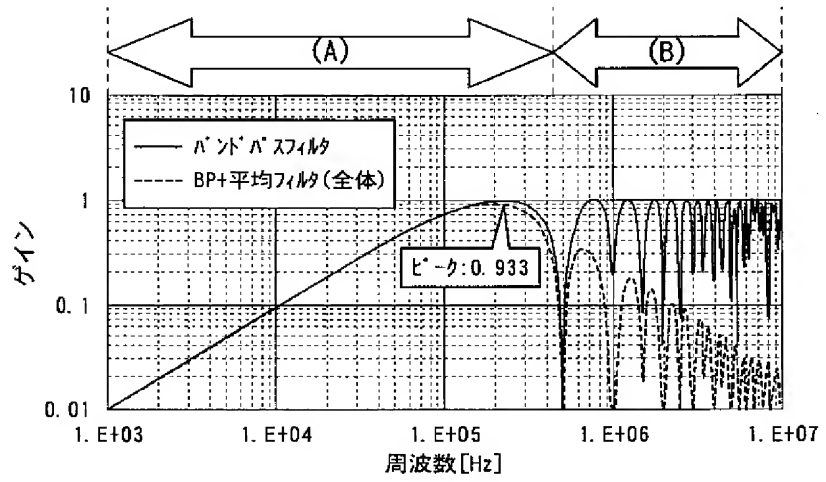
[図6]


12
13
5a
4a
14
15
Anglog Signal Generator
A/D
FF
D/A
Anglog Signal Recorder
10
Evaluator

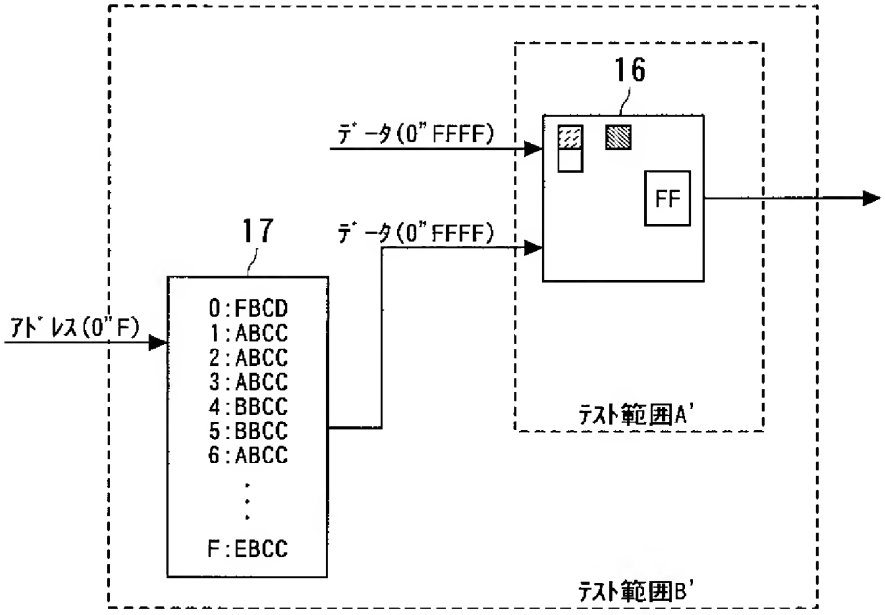
[図7]


Max Bit
Max Bit
T1
T4
Bit Error
T4
T1
T2
T2
T3
T3
Min Bit
Max Bit
入力
処理フロー
出力

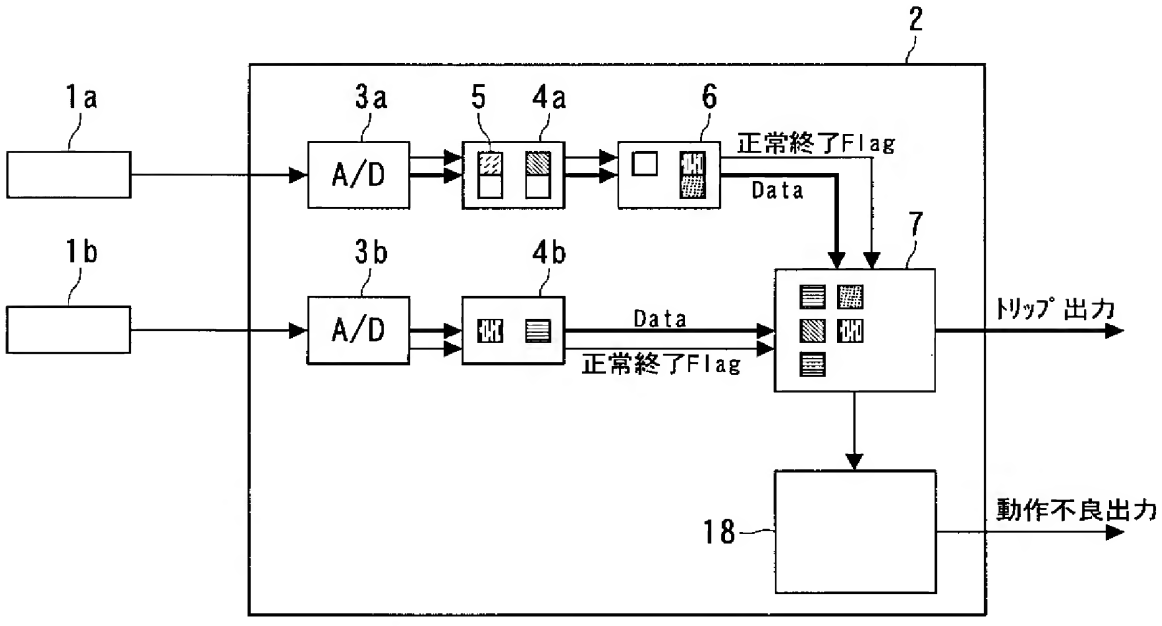
[図8]


(A)
(B)
10
1
0.1
0.01
バンドパスフィルタ
BP+平均フィルタ(全体)
ピーク:0.933
ゲイン
1.E+03
1.E+04
1.E+05
1.E+06
1.E+07
周波数[Hz]

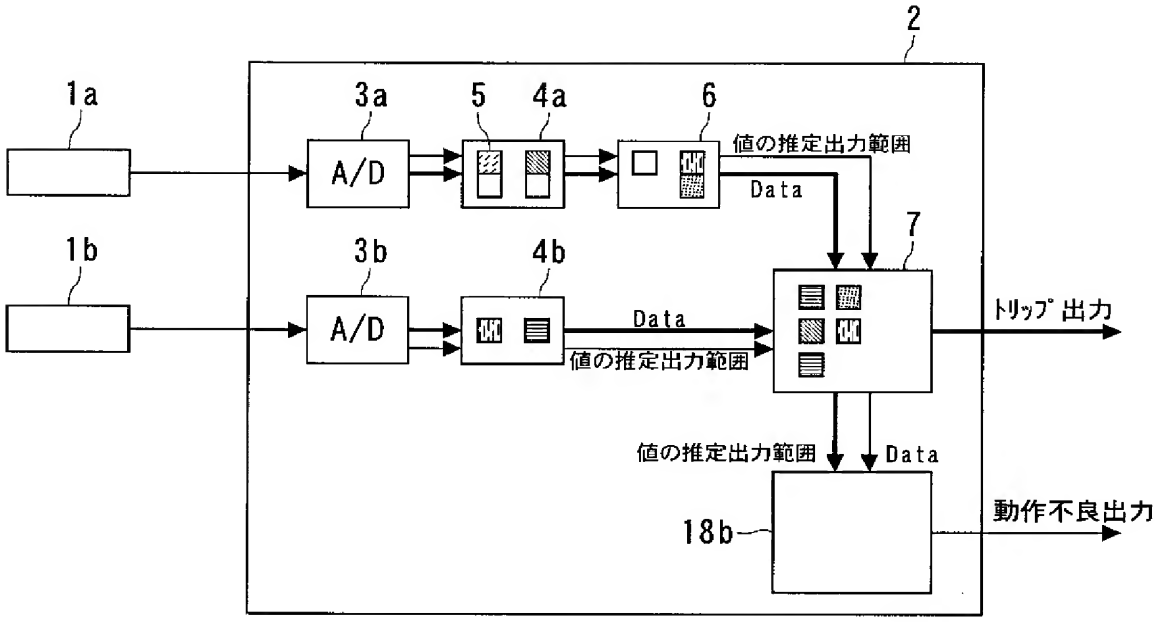
[図9]


16
データ(0"FFFF)
FF
17
データ(0"FFFF)
アドレス(0"F)
0:FBCD
1:ABCC
2:ABCC
3:ABCC
4:BBCC
5:BBCC
6:ABCC
F:EBCC
テスト範囲A'
テスト範囲B'

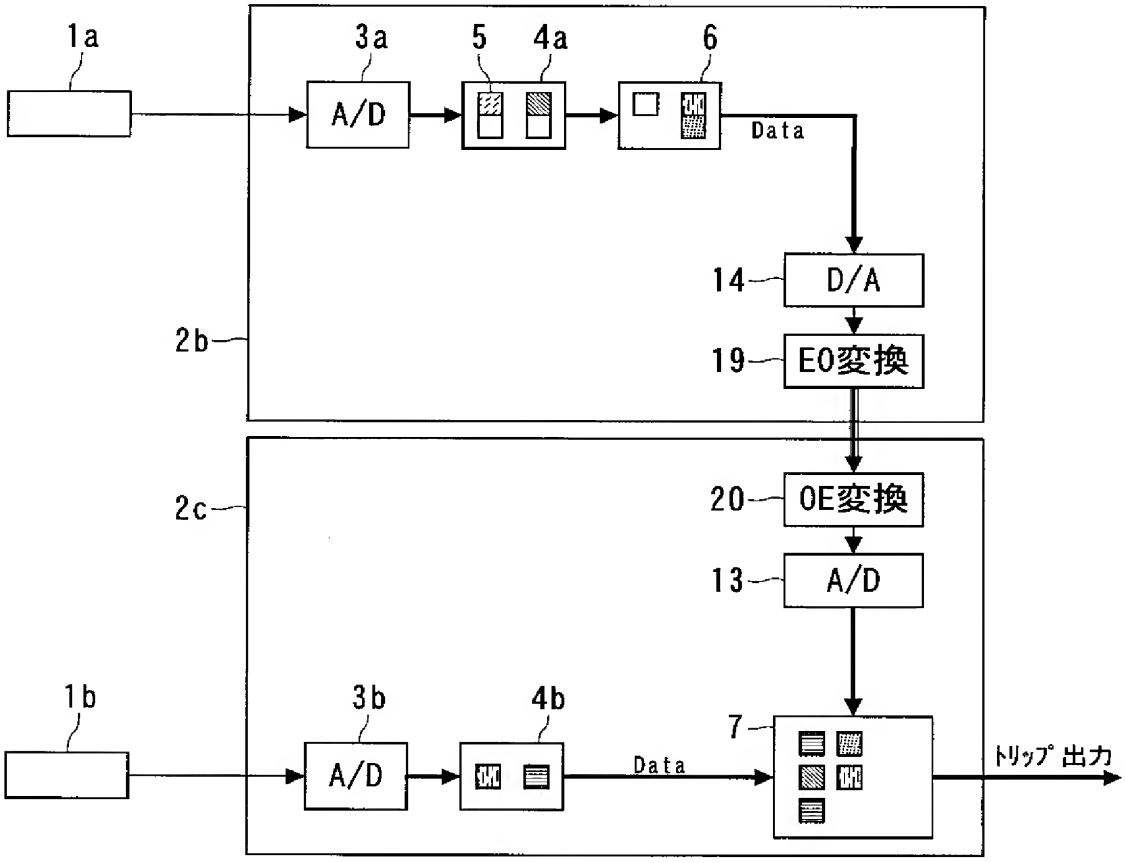
[図10]


2
1a
3a
5
4a
6
A/D
正常終了Flag
Data
7
1b
3b
4b
A/D
Data
正常終了Flag
トリップ出力
18
動作不良出力

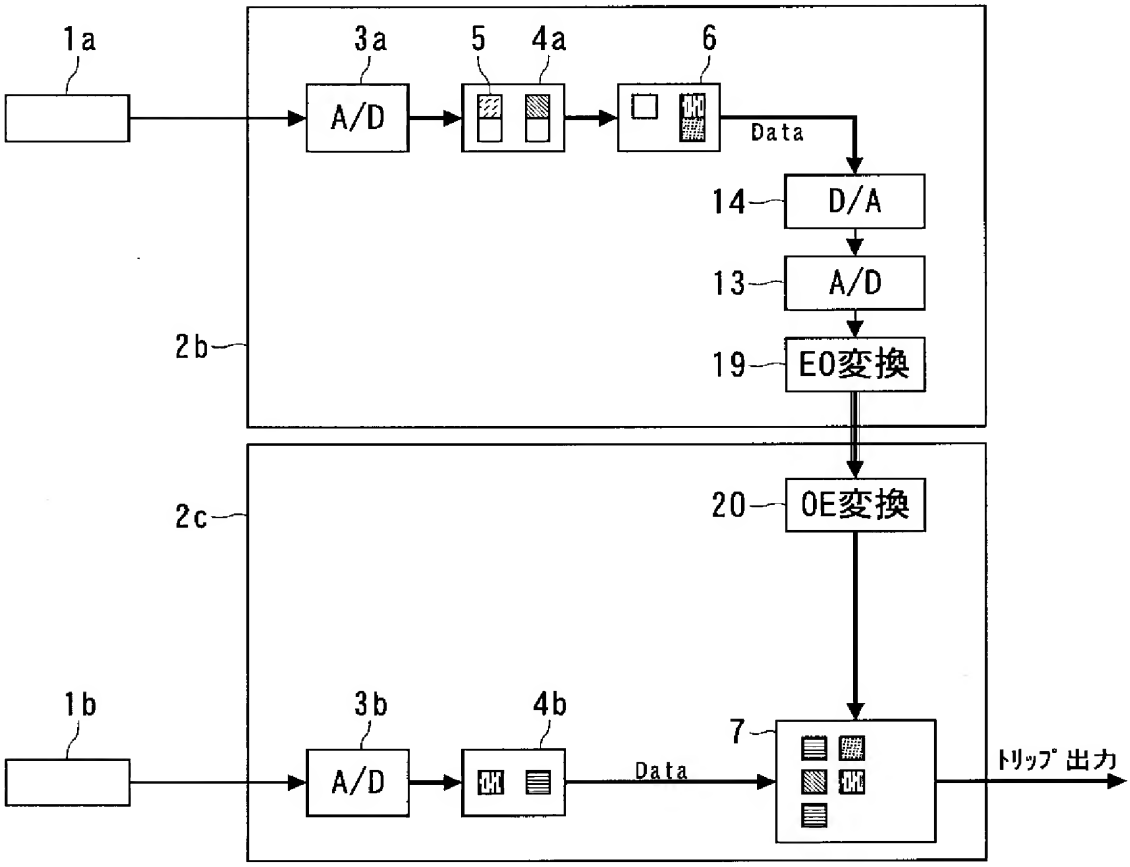
[図11]


2
1a
3a
5
4a
6
A/D
値の推定出力範囲
Data
7
1b
3b
4b
A/D
Data
値の推定出力範囲
トリップ出力
値の推定出力範囲
Data
18b
動作不良出力

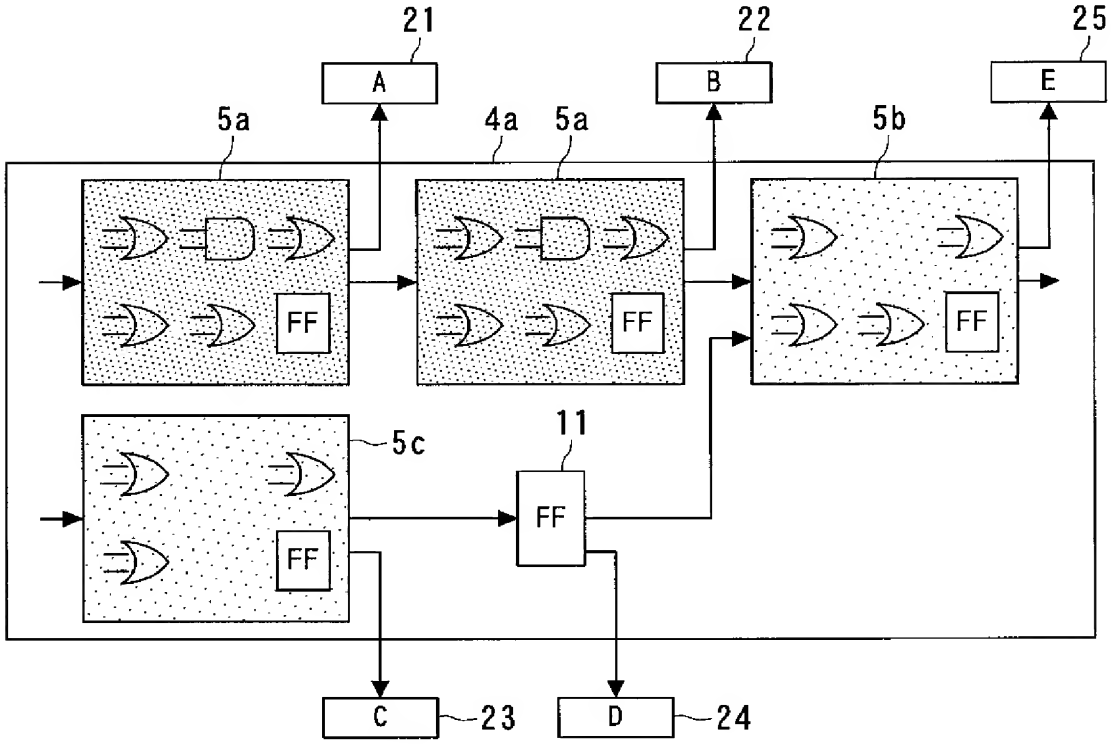
[図12]


1a
3a
5
4a
6
A/D
Data
14
D/A
2b
19
EO変換
2c
20
OE変換
13
A/D
1b
3b
4b
7
A/D
Data
トリップ出力

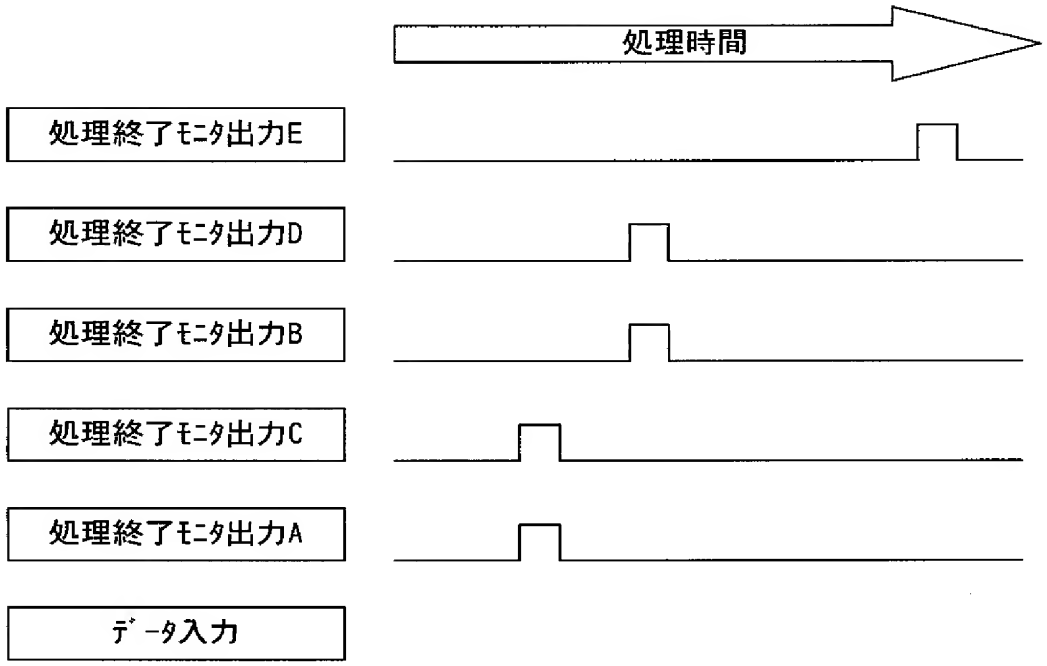
[図13]


1a
3a
5
4a
6
A/D
Data
14
D/A
13
A/D
2b
19
EO変換
2c
20
OE変換
1b
3b
4b
7
A/D
Data
トリップ出力

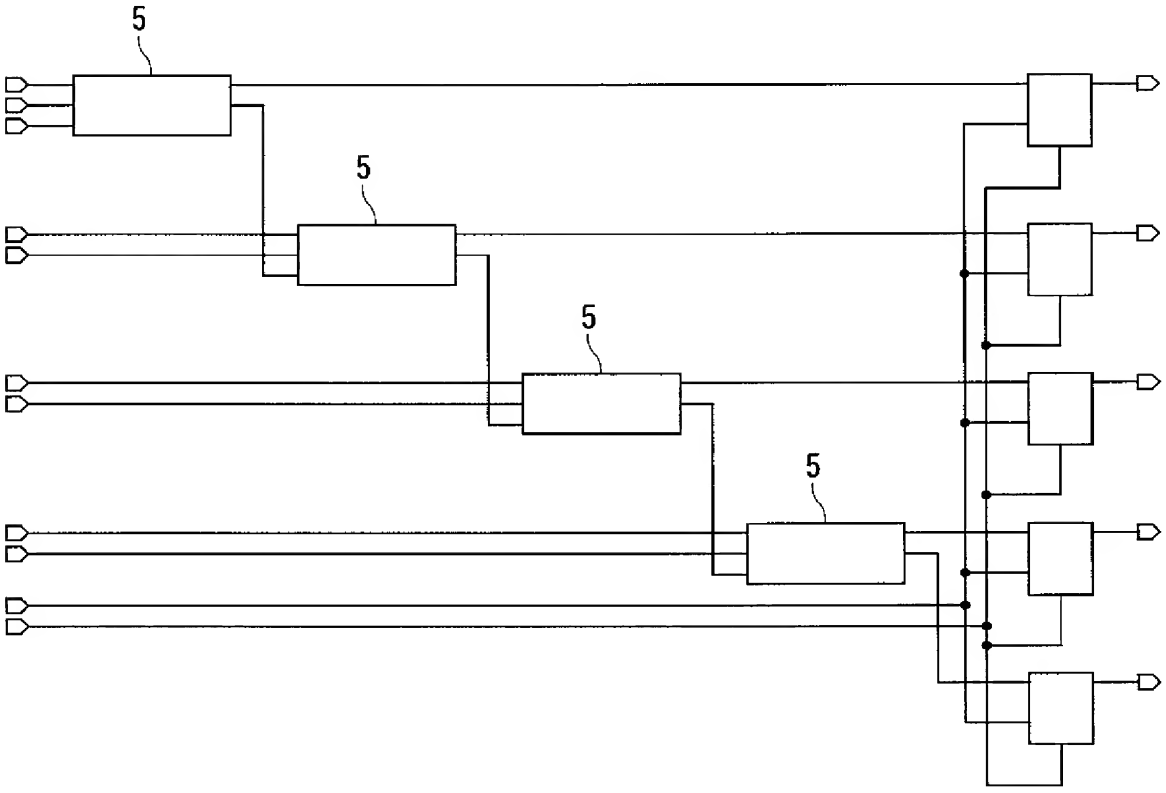
[図14]


21
22
25
A
B
E
5a
4a
5a
5b
FF
FF
FF
5c
11
FF
FF
C
23
D
24

[図15]


処理時間
処理終了モニタ出力E
処理終了モニタ出力D
処理終了モニタ出力B
処理終了モニタ出力C
処理終了モニタ出力A
データ入力

[図16]


5
5
5
5

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2005/003728

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl[7] G21C17/00, G01R31/28, G21C17/108

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl[7] G21C17/00, G01R31/28, G21C17/108

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2003-287587 A (Toshiba Corp.), 10 October, 2003 (10.10.03), Par. No. [0010] & US 2004/078101 A1	1-15
Y	JP 49-19029 B1 (Hitachi, Ltd.), 14 May, 1974 (14.05.74), Full text; Figs. 1 to 5 (Family: none)	1-15

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
23 May, 2005 (23.05.05)	07 June, 2005 (07.06.05)

Name and mailing address of the ISA/	Authorized officer
Japanese Patent Office Facsimile No.	Telephone No.

国際調査報告

国際出願番号 PCT／JP2005／003728

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl.[7] G21C17/00, G01R31/28, G21C17/108

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl.[7] G21C17/00, G01R31/28, G21C17/108

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922－1996年
日本国公開実用新案公報	1971－2005年
日本国実用新案登録公報	1996－2005年
日本国登録実用新案公報	1994－2005年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー＊	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
Y	JP 2003-287587 A（株式会社東芝） 2003.10.10 段落【0010】 & US 2004/078101 A1	1－15
Y	JP 49-19029 B1（株式会社日立製作所）1974.05.14 全文，第1－5図（ファミリーなし）	1－15

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

＊ 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日 23．05．2005	国際調査報告の発送日 07.6.2005
国際調査機関の名称及びあて先 日本国特許庁（ISA／JP） 郵便番号100－8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 2M 8908 中塚 直樹 電話番号 03－3581－1101 内線 3274